

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-213030

(43) 公開日 平成11年(1999) 8月6日

(51) Int.Cl.⁵

識別記号

F I

G 0 6 F 17/50

G 0 6 F 15/60

6 6 4 J

H 0 1 L 21/82

H 0 1 L 21/82

C

審査請求 有 請求項の数 7 F D (全 8 頁)

(21) 出願番号 特願平10-26525

(22) 出願日 平成10年(1998) 1月23日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 加藤 雄祐

東京都港区芝五丁目7番1号 日本電気株式会社内

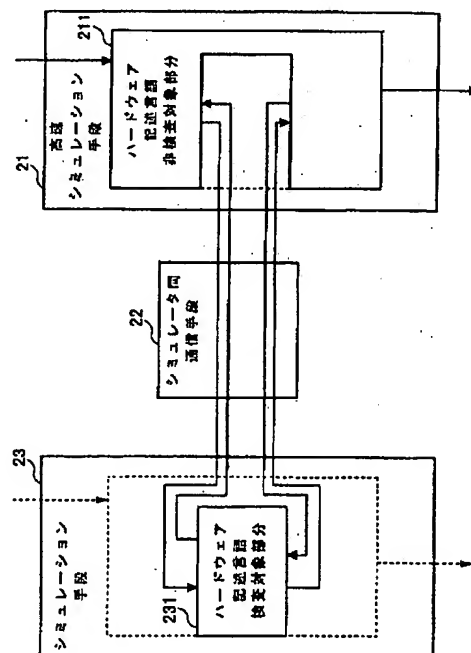
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 ハードウェア論理シミュレーション装置

(57) 【要約】

【課題】 検査対象回路のタイミング検証の精度を保証すると共に、全体のシミュレーション速度を高速化するシミュレータ装置及び方法の提供。

【解決手段】 1クロック未満のタイミングシミュレーションを行う第一のシミュレータ23と、1クロック未満のタイミングシミュレーションを省略してシミュレーションを行う第二のシミュレータ21と、第一、第二のシミュレータ間の通信手段22を備え、ハードウェア記述言語で記述された論理回路の検査対象回路部分231を第一のシミュレータ23でシミュレーションし、検証対象でない回路部分211を第二のシミュレータ21でシミュレーションする。



【特許請求の範囲】

【請求項1】ハードウェア記述言語で記述された論理回路の動作検証を行うためのシミュレーション装置において、

1クロック未満のタイミングシミュレーションまでを行う第一のシミュレーション手段と、

1クロック未満のタイミングシミュレーションを省略してシミュレーションを行う第二のシミュレーション手段と、

を含み、

前記ハードウェア記述言語で記述された前記論理回路の検査対象回路部分を前記第一のシミュレーション手段でシミュレーションし、前記論理回路のうち検証対象でない回路部分を前記第二のシミュレーション手段でシミュレーションする、ことを特徴とするシミュレーション装置。

【請求項2】ハードウェア記述言語で記述された論理回路の動作検証を行うためのシミュレーション装置において、

1クロック未満のタイミングシミュレーションまでを行う第一のシミュレーション手段と、

1クロック未満のタイミングシミュレーションを省略してシミュレーションを行う第二のシミュレーション手段と、を含み、

前記ハードウェア記述言語で記述された前記論理回路の検査対象回路部分を前記第一のシミュレーション手段でシミュレーションし、前記論理回路のうち検証対象でない回路部分を前記第二のシミュレーション手段でシミュレーションし、

さらに、

前記第一のシミュレーション手段でシミュレーションを行っている回路部分と、前記第二のシミュレーション手段でシミュレーションを行っている回路部分との間で相互に信号及びデータの伝達及び同期処理を行う通信手段を備えたことを特徴とするシミュレーション装置。

【請求項3】ハードウェア記述言語で記述された論理回路の動作検証を行うためのシミュレーション装置において、

前記ハードウェア記述言語で記述された前記論理回路の検査対象回路部分を1クロック未満のタイミングシミュレーションまでを行う第一のシミュレーション手段と、前記論理回路のうち検証対象でない回路部分を1クロック未満のタイミングシミュレーションを省略してシミュレーションを行う第二のシミュレーション手段と、機能ブロック単位で1クック毎のシミュレーションを省略し、ブロックレベルでのシミュレーションを行う第三のシミュレーション手段と、

前記第一のシミュレーション手段、前記第二のシミュレーション手段、及び、前記第三のシミュレーション手段でシミュレーションを行っている回路部分との間で信号

及びデータの伝達及び同期処理を行うための通信手段を備えたことを特徴とするシミュレーション装置。

【請求項4】ハードウェア記述言語で記述された論理回路の動作検証を行うためのシミュレーション方法において、

前記ハードウェア記述言語で記述された前記論理回路の検査対象回路部分については、1クロック未満のタイミングシミュレーションまでを行う第一のシミュレータでシミュレーションし、

前記論理回路の検査対象でない回路部分については、1クロック未満のタイミングシミュレーションを省略してシミュレーションを行う第二のシミュレータでシミュレーションし、

前記第一のシミュレータでシミュレーションを行っている回路部分と、前記第二のシミュレータでシミュレーションを行っている回路部分との間で信号及びデータを相互に伝達する、ことを特徴とするシミュレーション方法。

【請求項5】ハードウェア記述言語で記述された論理回路の動作検証を行うためのシミュレーション方法において、

前記ハードウェア記述言語で記述された前記論理回路の検査対象回路部分については、1クロック未満のタイミングシミュレーションまでを行う第一のシミュレータでシミュレーションし、

前記論理回路の検査対象でない回路部分については、1クロック未満のタイミングシミュレーションを省略してシミュレーションを行う第二のシミュレータでシミュレーションし、

さらに、1クロック毎のタイミング検証を必要としない機能ブロックについては機能ブロック単位で1クック毎のシミュレーションを省略し、ブロックレベルでのシミュレーションを行う第三のシミュレータでシミュレーションし、

前記第一乃至第三のシミュレータ間で信号及びデータを相互に伝達する、ことを特徴とするシミュレーション方法。

【請求項6】(a)ハードウェア記述言語で記述された論理回路の検査対象回路部分について1クロック未満のタイミングシミュレーションまでを行う第一のシミュレーション手段、

(b)前記論理回路のうち検証対象でない回路部分について1クロック未満のタイミングシミュレーションを省略してシミュレーションを行う第二のシミュレーション手段、及び、

(c)前記第一のシミュレーション手段でシミュレーションを行っている回路部分と、前記第二のシミュレーション手段でシミュレーションを行っている回路部分との間で相互に信号及びデータの伝達及び同期処理を行う通信手段、

の上記(a)～(c)の各手段をシミュレーション装置を構成する情報処理装置で機能させるためのプログラムを記録した記録媒体。

【請求項7】(a)ハードウェア記述言語で記述された論理回路の検査対象回路部分について1クロック未満のタイミングシミュレーションまでを行う第一のシミュレーション手段、

(b)前記論理回路のうち検証対象でない回路部分について1クロック未満のタイミングシミュレーションを省略してシミュレーションを行う第二のシミュレーション手段、

(c)機能ブロック単位で1クック毎のシミュレーションを省略し、ブロックレベルでのシミュレーションを行う第三のシミュレーション手段、及び、

(d)前記第一のシミュレーション手段、前記第二のシミュレーション手段、及び前記第三のシミュレーション手段でシミュレーションを行っている回路部分との間で信号及びデータの伝達及び同期処理を行うための通信手段、

の上記(a)～(d)の各手段をシミュレーション装置を構成する情報処理装置で機能させるためのプログラムを記録した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ハードウェアのシミュレーション装置に関し、ハードウェア記述言語で記述された論理回路のシミュレーションを高速化する装置及び方法に関する。

【0002】

【従来の技術】半導体集積回路等の設計・製造に際して、機能レベル又はレジスタトランスフェレベル(RTL)のハードウェア記述言語(Hardware Description Language; HDL)にて集積回路の機能又は論理記述がなされ、該ハードウェア記述言語の記述に基づき、エンジニアリングワークステーション等の情報処理装置又は専用装置で論理シミュレーションが行われ、論理回路動作のシミュレーション・検証が行われている。

【0003】従来、ハードウェア記述言語(HDL)で記述された論理回路のシミュレーションを行う場合には、(1)1クロック未満のタイミングに関してもタイミング解析を精密に行うシミュレータや、(2)1クロック未満のタイミングシミュレーションを省略する論理シミュレータがそれぞれ単独で用いられている。なお、このシミュレータとしては例えばイベントドリブン型論理シミュレータが用いられる。

【0004】

【発明が解決しようとする課題】しかし、上記(1)の方式は、シミュレーションに要する演算処理量が増大することから、シミュレーション速度が遅く、大規模なLSIの設計・検証工程に用いるには、処理時間の点で不

適であり、一方、上記(2)の方式においては、シミュレーション速度は改善されるものの、ハードウェア記述のタイミングの検証には、全く不向きであった。

【0005】大規模なLSIの内部回路の一つの機能ブロックをデバッグする場合、該機能ブロックを検査するための入力データを直接作成することが困難であることから、機能ブロックを検査するためだけに、LSI全体のシミュレーションを行う場合がある。しかし、タイミング検証まで含めたデバッグを行う場合には、LSI全体のシミュレーションを行うことは速度が遅くなり実用的でない。

【0006】なお、例えば特開平7-287724号公報には、Verilog-HDLについてシミュレーションする際に、動作速度のチェックをしない場合には遅延時間の計算をしないように、各セルの動作のみを記述したデータベースを参照して回路記述が論理的に正しいか否かの第1のシミュレーションを行い、各セルの動作およびその遅延時間を記述したデータベースを参照して動作時間が正しいか否かの第2のシミュレーションを行うことで、シミュレーション時間の短縮を図るようにした方法が提案されている。しかしながら、この方法は、すでにチェック済みである下位ブロック内のセルについてはタイミング解析(時間計算)などをいっさい行わずに、論理しか計算しないことでシミュレーションを高速化するものである。

【0007】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、検査対象回路のタイミング検証の精度を保証すると共に、全体のシミュレーション速度の高速化を図るシミュレータ装置及び方法を提供することにある。

【0008】

【課題を解決するための手段】前記目的を達成するため、本発明は、ハードウェア記述言語で記述された論理回路の動作検証を行うためのシミュレーション装置において、1クロック未満のタイミングシミュレーションまでを行う第一のシミュレーション手段と、1クロック未満のタイミングシミュレーションを省略してシミュレーションを行う第二のシミュレーション手段と、を備え、前記ハードウェア記述言語で記述された前記論理回路の検査対象回路部分を前記第一のシミュレーション手段でシミュレーションし、前記論理回路のうち検証対象でない回路部分を前記第二のシミュレーション手段でシミュレーションする、ことを特徴とする。本発明においては、好ましくは、前記第一のシミュレーション手段でシミュレーションを行っている回路部分と、前記第二のシミュレーション手段でシミュレーションを行っている回路部分との間で相互に信号及びデータの伝達及び同期処理を行う通信手段と、を備える。また、本発明のシミュレーション装置においては、機能ブロック単位で1クック毎のシミュレーションを省略し、ブロックレベルでシ

ミュレーションを行う第三のシミュレーション手段を備えた構成としてもよい。上記各手段は、シミュレーション装置を構成する情報処理装置上で実行されるソフトウェアプログラムによってインプリメントするようにしてもよい。

【0009】本発明は、ハードウェア記述言語で記述された論理回路の動作検証を行うためのシミュレーション方法において、前記ハードウェア記述言語で記述された前記論理回路の検査対象回路部分については、1クロック未満のタイミングシミュレーションまでを行う第一のシミュレータでシミュレーションし、前記論理回路の検査対象でない回路部分については、1クロック未満のタイミングシミュレーションを省略してシミュレーションを行う第二のシミュレータでシミュレーションし、前記第一のシミュレータでシミュレーションを行っている回路部分と、前記第二のシミュレータでシミュレーションを行っている回路部分との間で信号及びデータを相互に伝達するようにしたものである。本発明のシミュレーション方法においては、機能ブロック単位で1クロック毎のシミュレーションを省略し、ブロックレベルでのシミュレーションを行うようにしてもよい。

【0010】

【発明の実施の形態】本発明の実施の形態について以下に説明する。本発明のシミュレーション装置は、その好ましい実施の形態において、ハードウェア記述言語（HDL）で記述されたハードウェアの動作検証を行うためのシミュレーション装置において、1クロック未満のタイミングシミュレーションまでを行うソフトウェア（情報処理装置上で実行されるプログラム）による第一のシミュレータと、1クロック未満のタイミングシミュレーションを省略しソフトウェアによる第二のシミュレータと、第一、第二のシミュレータ間の通信手段を備え、ハードウェア記述言語で記述された論理回路のうち検査対象回路部分を第一のシミュレータでシミュレーションし、検証対象でない回路部分を高速な第二のシミュレータでシミュレーションする。すなわち、ハードウェア記述言語で記述された論理回路の検査対象回路部分を第一のシミュレータでシミュレーションし、検証対象でない回路部分を第二のシミュレータでシミュレーションすることにより、検証に必要なシミュレーション精度を確保し、かつ検証を高速におこなう環境を提供するものである。

【0011】より詳細には、第二のシミュレータである高速シミュレーション手段（図1の21）は、1クロック未満のタイミングシミュレーションを省略したシミュレーションを行い、第一のシミュレータであるシミュレーション手段（図1の23）では、1クロック未満のタイミングシミュレーションを精密に行う。

【0012】第一、第二のシミュレータ間の通信手段（図1の22）は高速シミュレーション手段（図1の2

1）とシミュレーション手段（図1の23）の間での通信手段を提供する。

【0013】この高速シミュレーション手段（図1の21）と、シミュレーション手段（図1の23）において、それぞれシミュレーション対象であるハードウェア記述の非検査対象部分（図3の211）、検査対象部分（図3の231）をシミュレーションさせることで、検査対象部分は精密なタイミングまでシミュレーションを行い、非検査対象部分は検査対象部分の検査に必要な精度かつ高速なシミュレーションを行わせ、これら2つをシミュレータ間通信手段（図1の22）で結合することで、全体のシミュレーションを高速化する。

【0014】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。

【0015】図1は、本発明の第一の実施例の構成を示す図である。図1を参照すると、本実施例において、入力手段1は、シミュレーション装置2に対して、あらかじめ入力手段1の内部に保持してある検査データを入力する。出力保存手段3は、シミュレーション装置2が出力したデータを保存する。

【0016】シミュレーション装置2は、高速シミュレーション手段21と、シミュレータ間通信手段22と、シミュレーション手段23とを備えている。

【0017】高速シミュレーション手段21は、1クロック内で行われる処理のうちタイミングに関するシミュレーションを省略することで高速化を図ったシミュレータであり、シミュレーション対象であるハードウェア記述の中の、検査対象ではない部分について、シミュレーションを行う。

【0018】一方、シミュレーション手段23は、タイミングのシミュレーションを精密に行うシミュレータであり、シミュレーション対象であるハードウェア記述の中の、検査対象部分についてシミュレーションを行う。

【0019】シミュレータ間通信手段22は、高速シミュレーション手段21と、シミュレーション手段23との間の同期および信号の伝達処理を行う。より詳細には、シミュレータ間通信手段22は、高速シミュレーション手段21内でシミュレーションを行っているシミュレーション対象ハードウェア記述の任意の部分と、シミュレーション手段23内でシミュレーションを行っているシミュレーション対象ハードウェア記述の任意の部分との間で信号データの伝達処理を行う。このため検査対象の部分のみをシミュレーション手段23でシミュレーションし、それ以外の部分を高速シミュレーション手段21でシミュレーションすることが可能となる。

【0020】図2は、本発明の第一の実施例の処理フローを示す流れ図である。また図3は、本発明の一実施例のシミュレーション装置2の動作を説明するための図で

ある。次に、図1、図2及び図3を参照して本発明の第一の実施例の動作について詳細に説明する。

【0021】ステップA1では、高速シミュレーション手段21は、入力手段1からの信号データおよびシミュレータ間通信手段22からシミュレーション手段23が出力した信号データを入力する。また、シミュレーション手段23は、入力手段1からの信号データおよびシミュレータ間通信手段22から高速シミュレーション手段21が出力した信号データを入力する。

【0022】ステップA2では、高速シミュレーション手段21およびシミュレーション手段23は、入力された信号データを使用して1クロック分のシミュレーション処理を行う。

【0023】ステップA3では、高速シミュレーション手段21は、1クロック分のシミュレーション後の信号データを、出力保存手段3およびシミュレータ間通信手段22に対して出力する。また、シミュレーション手段23は、1クロック分のシミュレーション後の信号データを、出力保存手段3およびシミュレータ間通信手段22に対して出力する。

【0024】ステップA4では、シミュレータ間通信手段22は、図3に示すように、高速シミュレーション手段21及びシミュレーション手段23から入力した信号データを、それぞれシミュレーション手段23、高速シミュレーション手段21に対して出力する。

【0025】ステップA5では、シミュレーション処理の終了を判定し、終了していない場合には、再びステップA1からの処理を繰り返す。

【0026】次に本発明の他の実施例について説明する。図4は、本発明の第二の実施例の構成を示す図である。図4を参照すると、本発明の第二の実施例は、図1に示した前記第一の実施例に、ブロックレベルシミュレーション手段24をさらに付加したものである。

【0027】高速シミュレーション手段21が1クロック未満のタイミングシミュレーションを省略するのに対し、ブロックレベルシミュレーション手段24では、シミュレーション対象ハードウェア記述を、機能ブロック単位で、タイミングシミュレーションを省略して、シミュレーションを行う。このため、1クロック毎にシミュレーション処理をする必要がなく、高速シミュレーション手段21よりもさらに高速に動作する。

【0028】このように、本発明の第二の実施例においては、ブロックレベルシミュレーション手段24を追加することで、シミュレーション対象ハードウェア記述の、非検査対象部分のうち機能ブロックに分割可能な部分については、ブロックレベルシミュレーション手段24でシミュレーションすることによって、全体のシミュレーション速度をさらに向上させることが可能となる。

【0029】図5は、本発明の第二の実施例の処理フローを示す流れ図である。図5を参照すると、図2に示し

た前記第一の実施例の流れ図と比べて、ステップB1、B2、B3において、ブロックレベルシミュレーション手段24の処理が追加されている。以下では、ブロックレベルシミュレーション手段24の処理について説明する。

【0030】ステップB1では、ブロックシミュレーション手段24は、入力手段1からの信号データおよび、シミュレータ間通信手段22から高速シミュレーション手段21またはシミュレーション手段23が出力した信号データを入力する。

【0031】ステップB2では、ブロックレベルシミュレーション手段24は、入力された信号データを使用して1クロック分のシミュレーション処理を行う。ただし、ブロックレベルシミュレーション手段24は1クロック毎にシミュレーションを行う必要はないので、シミュレーションが必要ではない場合は、何も処理を行わない。

【0032】ステップB3では、ブロックレベルシミュレーション手段24は、1クロック分のシミュレーション後の信号データの出力を、出力保存手段3およびシミュレータ間通信手段22に対して行う。

【0033】ステップB4では、ブロックレベルシミュレーション手段24、高速シミュレーション手段21、シミュレーション手段23の三者間での信号データの伝達処理を行う。

【発明の効果】以上説明したように、本発明によれば下記記載の効果を奏する。

【0034】本発明の第一の効果は、高速なシミュレータと、低速で詳細なシミュレータを結合することで、シミュレーション速度を向上する、ということである。

【0035】その理由は、シミュレーション対象であるハードウェア記述言語のうち、検査対象部分だけを、タイミングシミュレーションを精密に行うシミュレータでシミュレーションし、それ以外の部分を高速なシミュレータでシミュレーションするためである。

【0036】本発明の第二の効果として、シミュレーション対象ハードウェア記述の、非検査対象部分のうち機能ブロックに分割可能な部分については、ブロックレベルシミュレーション手段でシミュレーションすることによって、全体のシミュレーション速度をさらに向上させることを可能とする、ということである。

【図面の簡単な説明】

【図1】本発明の第一の実施例の構成を示す図である。

【図2】本発明の第一の実施例の処理フローを示す流れ図である。

【図3】本発明の第一の実施例の動作を説明するための図である。

【図4】本発明の第二の実施例の構成を示す図である。

【図5】本発明の第二の実施例の処理フローを示す流れ図である。

【符号の説明】

1 入力手段

2 シミュレーション装置

21 高速シミュレーション手段

22 シミュレータ間通信手段

23 シミュレーション手段

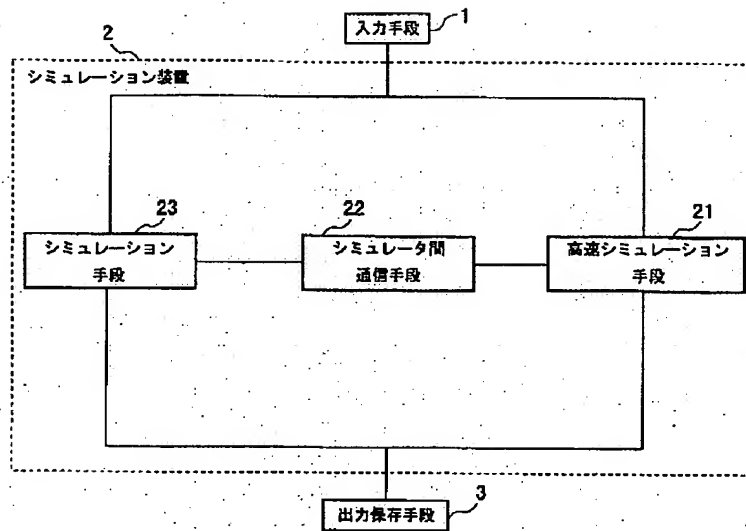
211 ハードウェア記述言語非検査対象部分

231 ハードウェア記述言語検査対象部分

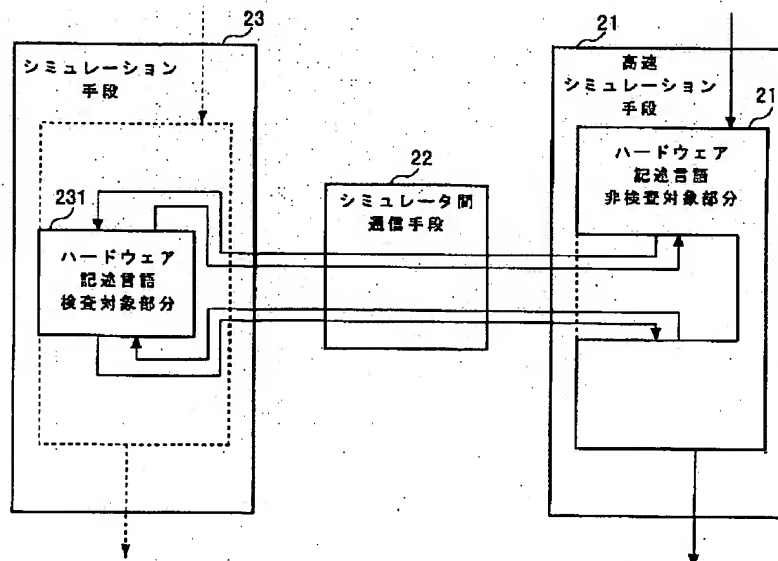
24 ブロックレベルシミュレーション手段

3 出力保存手段

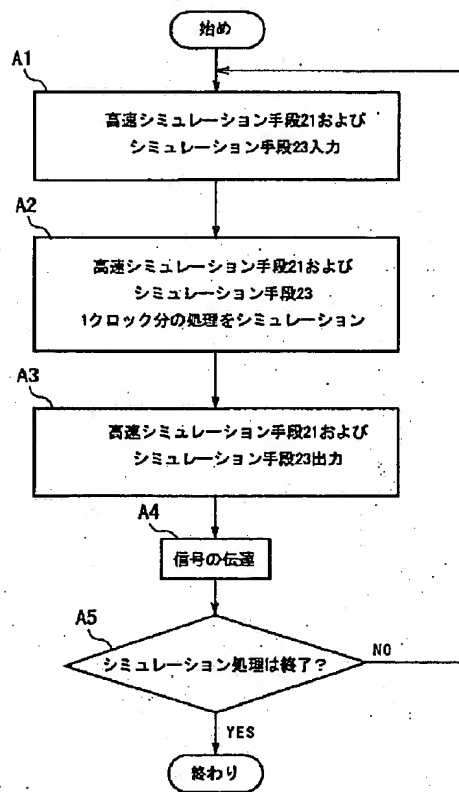
【図1】



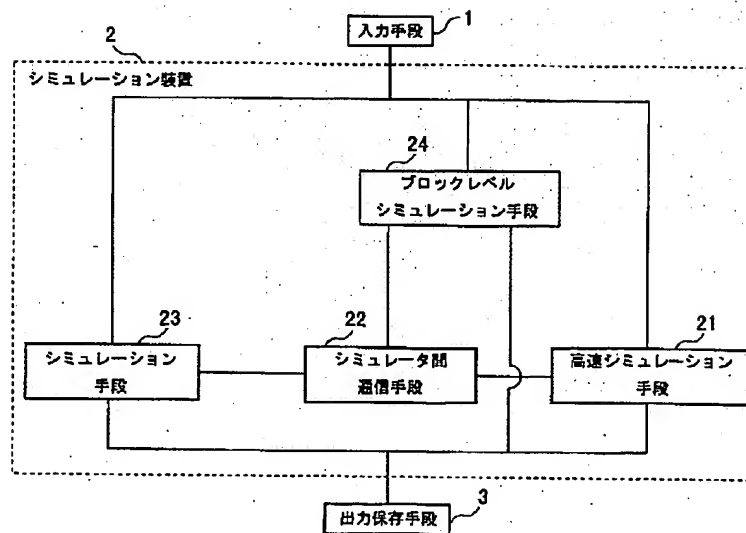
【図3】



【図2】



【図4】



【図5】

